

RS FLİP-FLOP DENEYLERİ

DENEY AMAÇLARI :

- A- RS Flip Flop' u tanımak, işlevlerini görmek,
- B- Doğruluk tablosunu elde etmek,
- C- 74 LS 02 ve CMOS 4011 entegreleri ile Flip Flop yapmak,
- D- Saatli (clocked) RS Flip Flop' u tanımak, işlevlerini görmek.

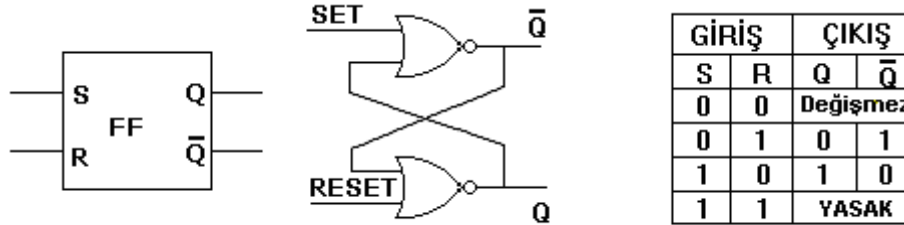
ÖN BİLGİ :

Sayısal bilgiyi ("0" veya "1") depolamada ve işlemede kullanılan temel devrelerden biri de F-F lardır. Genel olarak dört tipi vardır:

- 1- RS Flip-Flop
- 2- D tipi Flip-Flop
- 3- JK Flip-Flop
- 4- T tipi Flip-Flop

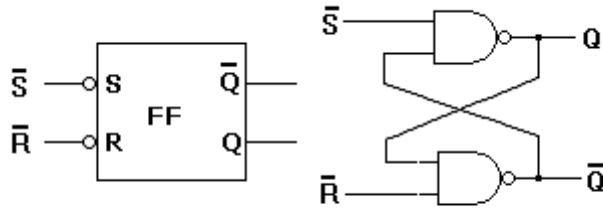
Bu deneyde RS F-F incelenecektir. RS F-F'un en basit yapıda olanı (yalın RS F-F) Şekil 4.1'de şematik olarak gösterilmiştir. Girişler S (set) ve R (reset) olarak isimlendirilirler. Çıkışlar Q ve \bar{Q} olarak gösterilirler. Q çıkışındaki bilgi F-F'un durumunu belirler. Eğer Q=1 ise, F-F "1" durumunda, Q=0 ise F-F "0" durumundadır denir.

Tablo 3.1' de, NOR kapılarıyla yapılan , Tablo 4.1 ' de ise NAND kapılarıyla yapılan RS F-F ' un girişleri ve çıkışları arasındaki ilişkiyi gösteren doğruluk tablosu (truth-table) verilmiştir.



Şekil 3.1

Tablo 3.1



Şekil 3.2

GİRİŞ		ÇIKIŞ	
\bar{S}	\bar{R}	Q	\bar{Q}
0	0	YASAK	
0	1	1	0
1	0	0	1
1	1	Değişmez	

Tablo 3.2

Tablo 3.1 ' deki doğruluk tablosuna göre;

$S = 0$, $R = 0$ olduğunda F-F çıkışları bir önceki durumunu korur.

$S = 0$, $R = 1$ olduğunda F-F resetlenir. Yani $Q = 0$ olur.

$S = 1$, $R = 0$ olduğunda F-F kurulur . Yani $Q = 1$ olur.

$S = 1$, $R = 1$ olduğunda F-F 'un durumu belirsizdir.

Bu nedenle, S ve R girişlerinin her iki girişine aynı anda "1" uygulanmaz.

Tablo 3.2 ' deki doğruluk tablosuna göre ;

$S = 0$, $R = 0$ olduğunda F-F ' un durumu belirsizdir.

Bu nedenle, S ve R girişlerinin her iki girişine aynı anda "0" uygulanmaz.

$S = 0$, $R = 1$ olduğunda Q çıkışı "1" olur.

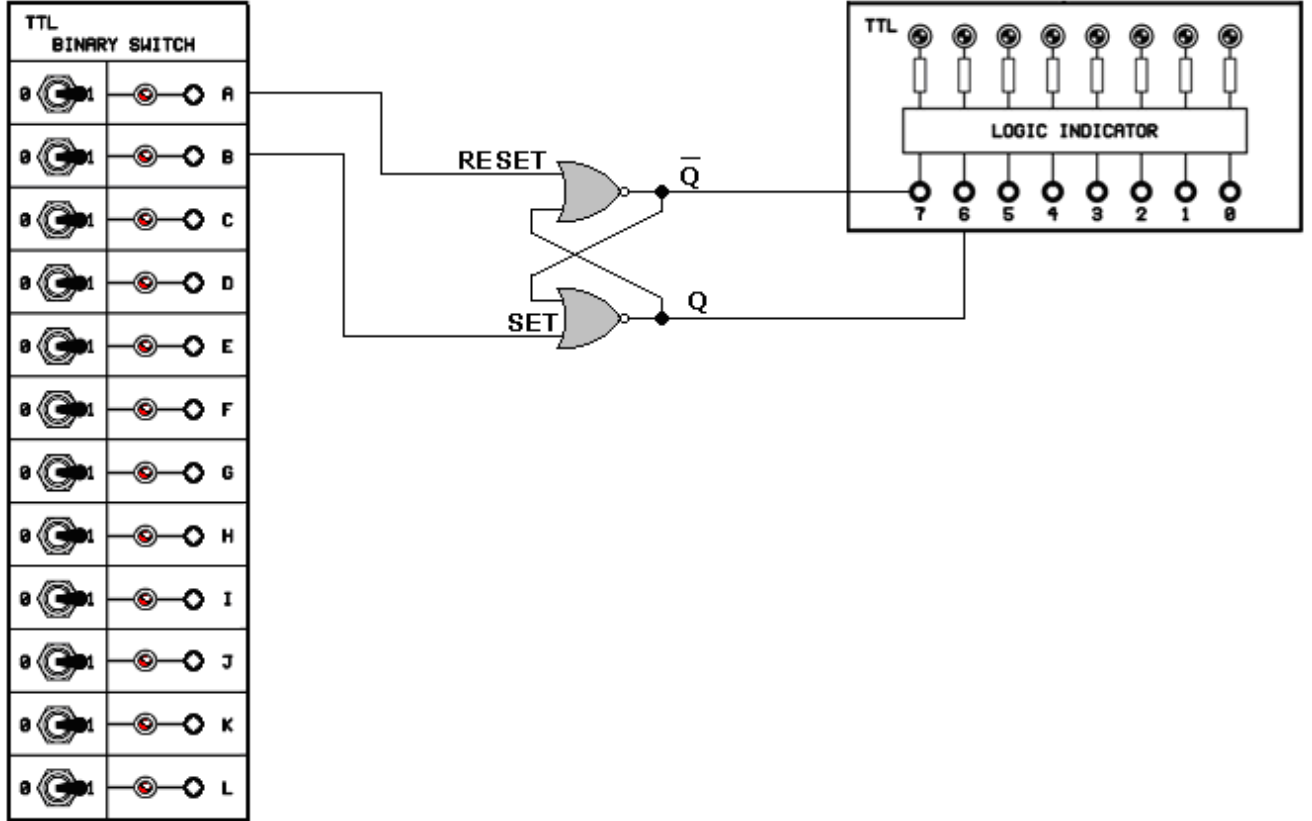
$S = 1$, $R = 0$ olduğunda Q çıkışı "0" olur.

$S = 1$, $R = 1$ olduğunda Q çıkışı bir önceki durumunu korur.

DENEY NO : 3.1
DENEY ADI : NOR (VEYA-DEĞİL) KAPILARINDAN OLUŞAN R-S FLİP-FLOP

Deneyde Kullanılacak elemanlar:

- 1- Y-0016 ana modül
- 2- Y-0016-001D panosu



Şekil 3.1.a

Deneyin Yapılışı :

1. Deneyi Şekil 3.1.a ' deki gibi kurunuz. Gücü uygulayınız.
2. A ve B anahtarlarını kullanarak Tablo 3.1.a da verilen S-R giriş değerlerini uygulayarak Q çıkışını LED displayden izleyerek, Tablo 3.1.a' ya kaydedin.
3. Tablo 3.1.a'daki sonuçlara göre;
 - a) Çıkışlar her zaman birbirinin tersi midir?

Her iki giriş de " 1 " iken çıkışların ikisi de " 0 " dir. Bu durum kullanılmaz. Bunun dışında çıkışlar birbirinin tersidir.

- b) S=1 olduğunda, her zaman Q' 1 oluyor mu? Niçin ?

S=1 olduğunda Q'=1 olur. Çünkü SET, çıkışı kurma görevi yapar. NOR kapısının bir girişinin "0" olması, kapı çıkışını "1" yapar.

- c) R=0 olduğunda, her zaman Q=0 oluyor mu?
- d) S=0, R=0 olduğunda Q aynı kalıyor mu?
- e) Tablodaki sonuçları ön bilgide verilen bilgilerle karşılaştırın. Aynı mı ?

SIRA	GİRİŞ		ÇIKIŞ	
	S	R	Q	Q'
1	0	1	1	0
2	0	0	1	0
3	1	0	0	1
4	0	0	0	1
5	1	1	0	0

Tablo. 3.1.a

NOT: 001D panosundaki NOR kapılarını kullanarak deney bağlantılarını yapınız.

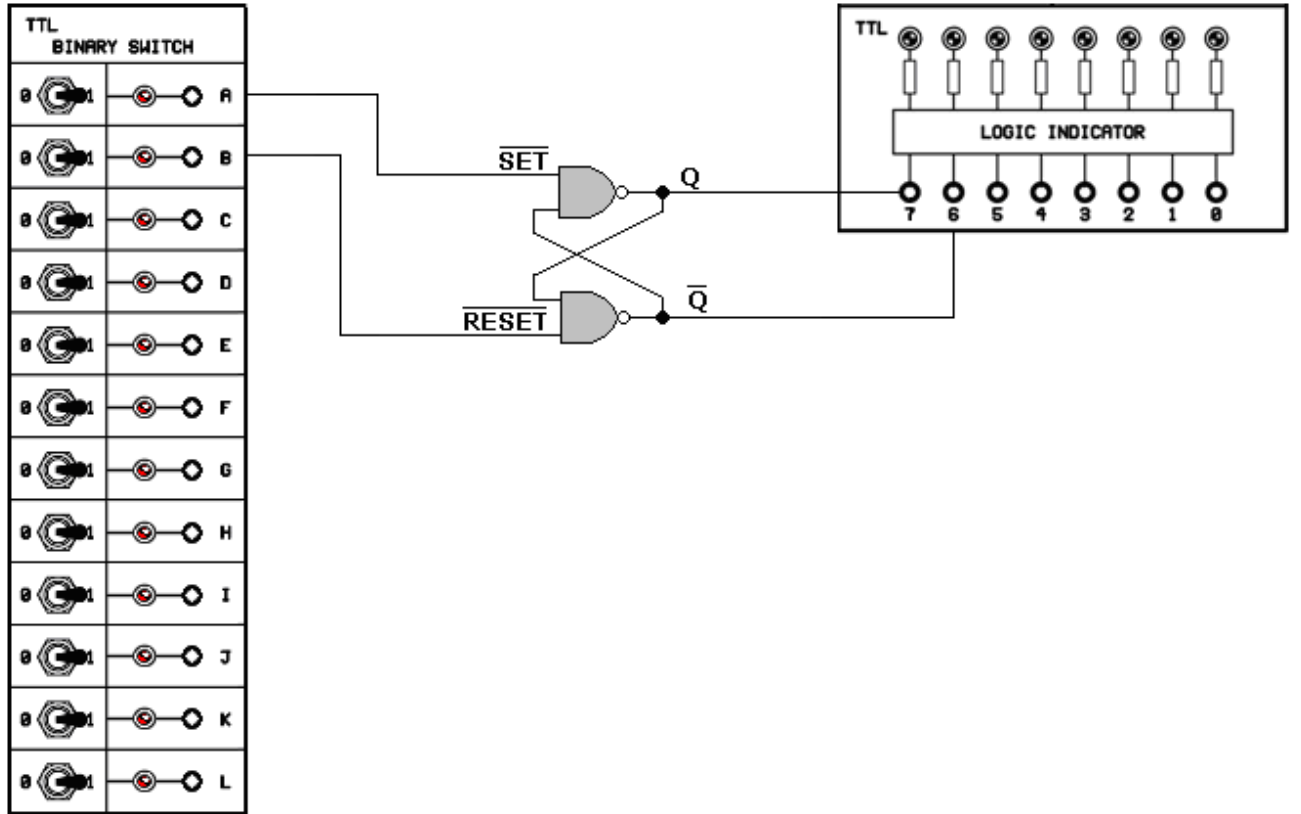
Deneyi tekrar ederek sonuçları karşılaştırınız.

DENEY NO : 3.2

DENEY ADI : NAND (VE-DEĞİL) KAPILARINDAN OLUŞAN R-S FLİP FLOP

Deneyde Kullanılacak elemanlar:

- 1- Y-0016 ana modül
- 2- Y-0016-001D panosu



Şekil 3.2.a

Deneyin Yapılışı :

1. Devreyi Şekil 3.2.a' daki gibi kurun. Gücü uygulayın.
2. A ve B anahtarlarını kullanarak Tablo 3.2.a' da verilen S-R giriş değerlerini uygulayarak Q çıkışını LED displayden izleyerek sonuçları Tablo 3.2.a' ya kaydedin.
3. Tablo 3.2.a' daki sonuçlara göre;

a) Çıkışlar her zaman birbirinin tersimidir ?

*Her iki giriş de " 0 " iken çıkışların ikisi de " 1 " dir. Bu durum kullanılmaz.
Bunun dışında çıkışlar birbirinin tersidir.*

b) $S' = 0$ olduğunda $Q = 1$ oluyor mu?

*$S' = 0$ olduğunda $Q=1$ olur. Çünkü $SET' = 0$ iken çıkışı kurma görevi yapar.
NAND kapısının bir girişinin "0" olması, kapı çıkışını "1" yapar.*

c) $R' = 0$ olduğunda $Q=0$ oluyor mu? Niçin ?

d) $S' = 1$, $R' = 1$ olduğunda Q her zaman bir önceki durumunu koruyor mu?

SIRA	GİRİŞ		ÇIKIŞ	
	S'	R'	Q	Q'
1	0	1	1	0
2	1	1	1	1
3	1	0	0	1
4	1	1	0	1
5	0	0	1	1

Tablo 3.2.a

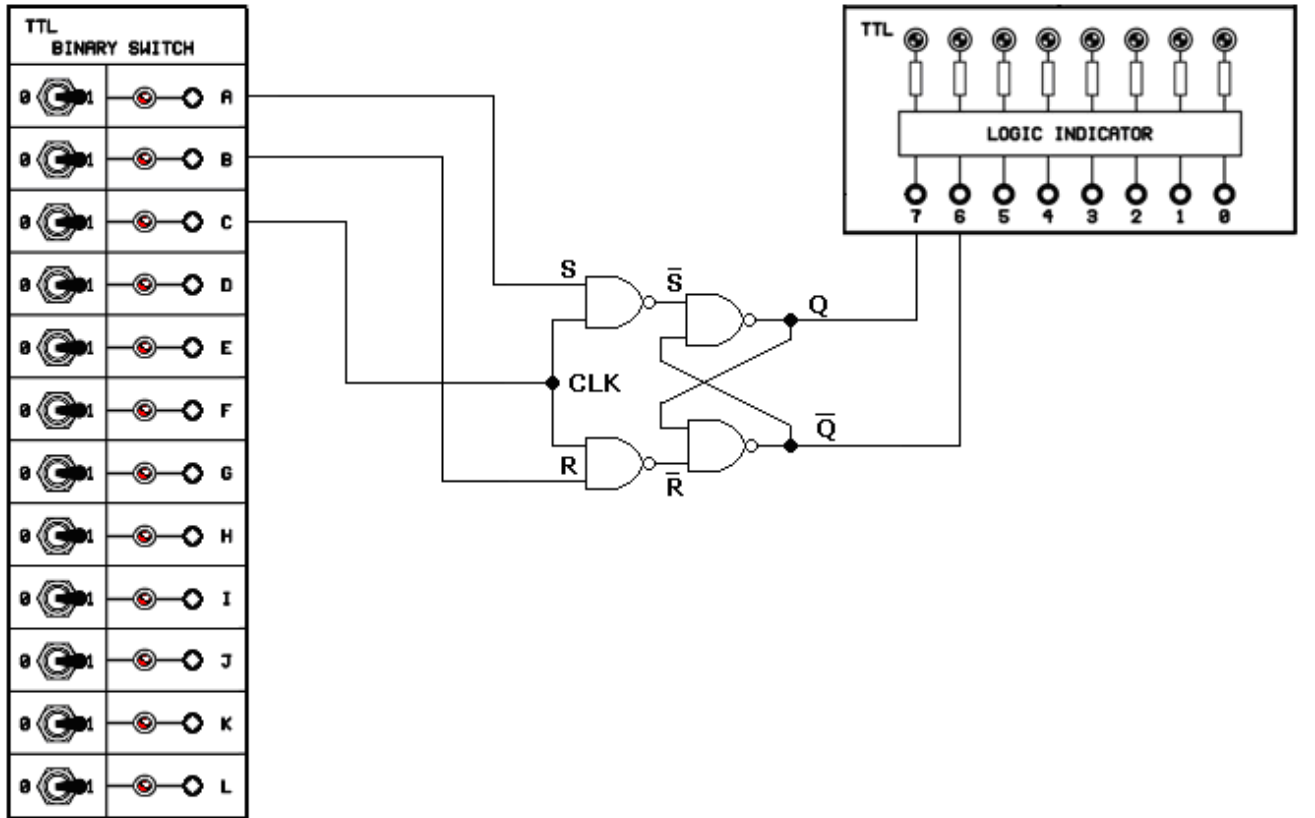
NOT: D01 panosundaki NAND kapılarını kullanarak deney bağlantılarını yapınız. Deneyi tekrar ederek sonuçları karşılaştırınız.

DENEY NO : 3.3

DENEY ADI : SAATLİ R-S FLİP FLOP

Deneyde Kullanılacak elemanlar:

- 1- Y-0016 ana modül
- 2- Y-0016-003D panosu



Şekil 3.3.a

Deneyin Yapılışı :

1. Devreyi Şekil 3.3.a' daki gibi kurun. Gücü uygulayın.
2. A ve B anahtarlarını kullanarak Tablo 3.3.a' da verilen R-S giriş değerlerini uygulayarak çıkışları LED displayden izleyip sonuçları Tablo 3.3.a' ya kaydediniz.
3. Tablo 3.3.a' daki sonuçlara göre;

a) S-R girişindeki değişiklikler çıkışa ne zaman yansıyor? Açıklayınız.

R ve S' deki değişmelerin çıkışı etkilemesi için clk' nın "1" olması gerekmektedir.

b) Clk "0" verildiği sürece girişteki değişiklikler çıkışı niçin etkilemiyor?

Clk "0" olduğunda girişteki NAND kapılarının çıkışı daima "1" dir.

Bu da R'-S' Flip Flop' unun çıkışlarının bir önceki durumunu korumasını sağlar.

CLK	GİRİŞ		ÇIKIŞ	
	R	S	Q	Q'
1	0	0	1	0
1	1	0	1	0
1	0	1	0	1
1	1	1	x	x

Tablo 3.3.a

J-K TİPİ FLİP-FLOP ' UN İNCELENMESİ

DENEY AMAÇLARI:

A- J-K FF' unu tanımak, mantık işlevini doğrulamak ve gerçeklik tablosunu çıkarmak,

B- TTL 7476 J-K Flip Flop entegresini tanımak.

ÖN BİLGİLER :

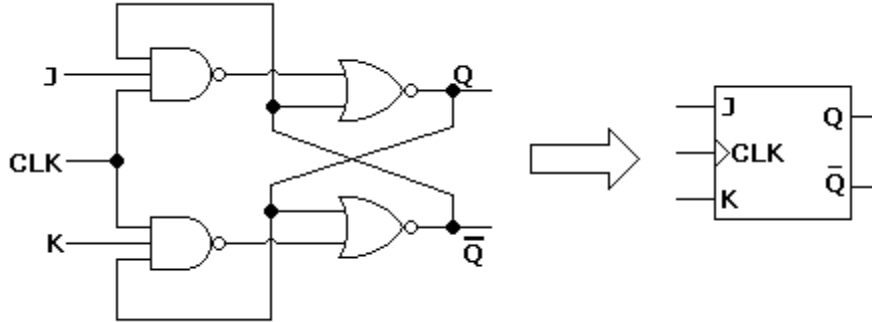
JK FF en yaygın kullanılan FF' dur. Çok çeşitli uygulama yerleri vardır.

JK FF esas olarak R ve S girişleri kapılanmış ve çıkışları çapraz bağlanmış saatli RS FF' dur.

JK FF zaman uyumludur. Ancak zaman uyumsuz denetim girişleri de (Preset ve Clear) kullanılabilir ama bunlar çalışmalarda yasak durum veya belirsiz şartlara neden olabilir.

Kenar tetiklemeli JK FF, kenar tetiklemeli D tipi FF ' a benzemektedir.

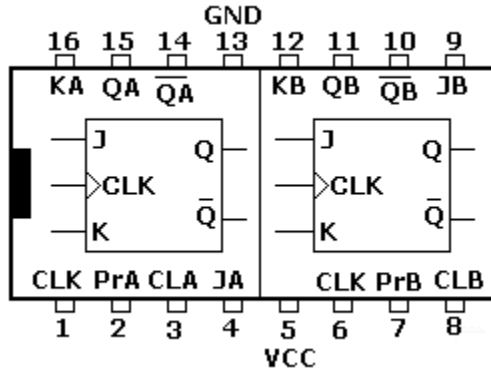
JK FF' un sembolü ve doğruluk tablosu aşağıda görülmektedir.



Şekil 3.4.1

GİRİŞLER		ÇIKIŞLAR	
J	K	Q	\bar{Q}
0	0	DEĞİŞMEZ	
0	1	0	1
1	0	1	0
1	1	DEĞİŞİR	

Tablo 4.4.1



Şekil 3.4.2

DENEY NO: 3.4

**DENEY ADI : J-K TİPİ FLİP-FLOP ' UN DOĞRULUK TABLOSUNUN
ÇIKARILMASI**

Deneyde Kullanılacak elemanlar:

- 1- Y-0016 ana modül
- 2- Y-0016-003D panosu

1	1	1	0	1	1	0	
1	1	1	1	1	0	1	Öncekinin tersi
1	1	0	0	1	0	1	Önceki Durumunu Korur

T

ablo 3.4.a

Deneyin Yapılışı:

1. Devreyi Şekil. 3.4.a' daki gibi kurun. Gücü uygulayın.
2. Tablo 3.4.a' daki PRESET, J-K, Clk' değerlerini kullanarak Q çıkışını gözleyip ilgili hane yazınız. (X) Görülen yerler fark etmez değerlerdir. "1" veya "0" olabilir.

NOT: Clk palsi her dizide en son verilmelidir.

3. Tablo 3.4.a' daki sonuçlara göre;
 - a- J-K girişlerinin her ikisi de "0" iken Clk geldiği zaman FF eski durumunu koruyor mu?

J=K= "0" iken Clk geldiğinde, devre çıkışlarında değişiklik gözlenmemiştir.

- b- Clk girişi "1" den "0" a indiğinde FF tetikleniyor mu?

74LS76 ' da tetikleme "1" den "0" a iniş anında olmaktadır. Bu tetikleme negatif kenar tetiklemesi ile karıştırılmamalıdır. Yüzey tetikleme de (tetikleme durumuna göre) Clk "1" iken veya Clk "0" iken girişler kesinlikle değiştirilmemelidir. Kenar tetikleme de böyle bir sakınca yoktur.

- c- Tablo 3.4.a' daki sonuçlarla 74 LS 76 tümleşik devresi JK FF gerçeklik tablosu doğrulanmış mıdır ?

- d- CLEAR ve PRESET' kontrolleri ne zaman etkili olmaktadır? Bu kontroller J-K, CLK' girişlerinden daha öncelikli midir?

CLEAR ve PRESET kontrolleri "0" olduklarında etkilidirler. Diğer girişlerden daha önceliklidirler.

D TİPİ FLIP-FLOP ' UN İNCELENMESİ

DENEY AMAÇLARI:

- A- TTL ve CMOS D-FF ' u tanımak, mantık işlevini doğrulamak ve gerçeklik tablosunu çıkarmak,
- B- INVERTER (DEĞİL) kapısı ve JK-FF ile D-FF yapmayı öğrenmek.

ÖN BİLGİ :

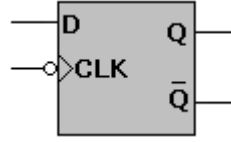
- 1*D-FF seviye ve kenar tetiklemesi ile çalışabilir. Çeşitli uygulama yerleri vardır.

2*Seviye tetiklemeli D-FF ta Clock sinyali aktif durumda iken, veri hattında ne varsa çıkışına (Q) bunu aktarır.

3*Kenar tetiklemeli D-FF sadece clk palsi değişimi sırasında veri hattındaki mantık durumunu çıkışa (Q) aktarır.

4*Her iki D-FF türünde de yasak durum veya belirsizlik durumu oluşmaz.

D-FF' un sembolü ve doğruluk tablosu ve TTL 7474 ile CMOS 4027 entegrelerinin iç yapıları aşağıda görülmektedir.



Şekil 3.5.1

Seviye tetiklemeli D-FF

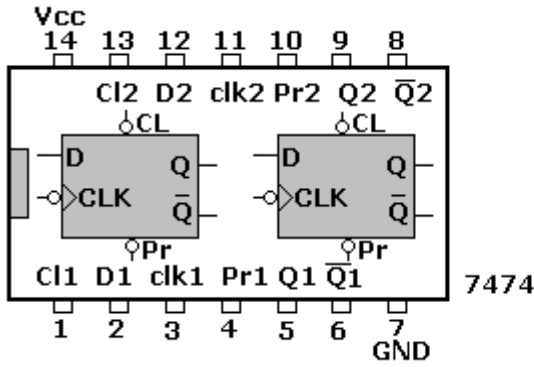
CLK	DATA	Q
0	0	0
0	1	1
1	0	ÖNCEKİ DURUM
1	1	ÖNCEKİ DURUM

Tablo 3.5.1

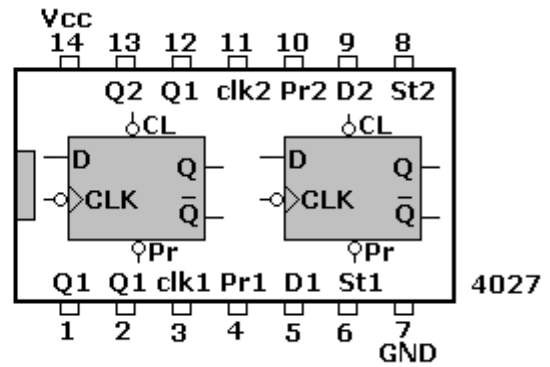
Düşen kenar tetiklemeli D-FF

CLK	DATA	Q
1	X	ÖNCEKİ DURUM
1	1	1
1	0	0

Tablo 3.5.2



Şekil 3.5.2

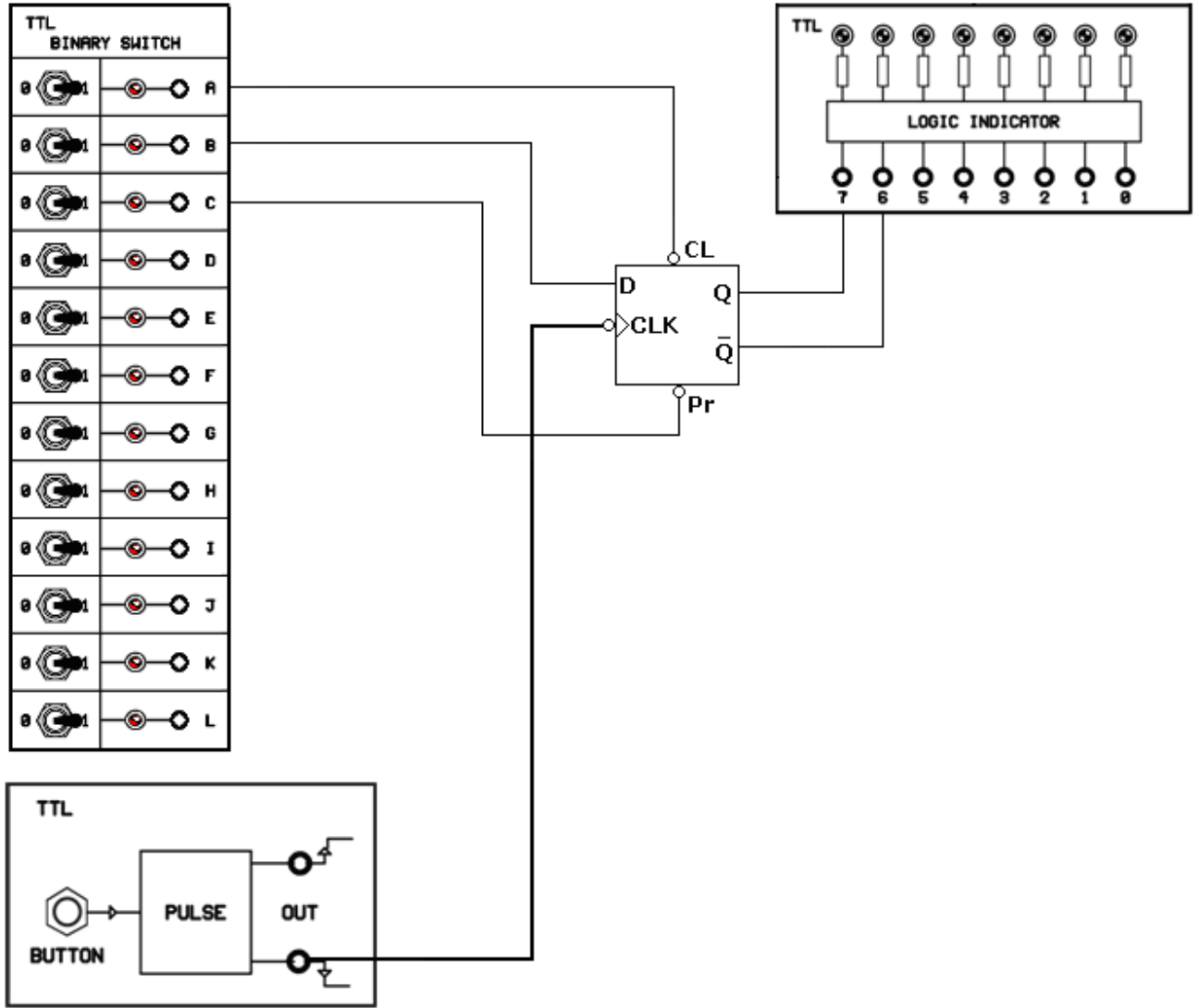


DENEY NO: 3.5

DENEY ADI : D TİPİ FLİP-FLOP ' UN DOĞRULUK TABLOSUNUN ÇIKARILMASI

Deneyde Kullanılacak elemanlar:

- 1- Y-0016 ana modül
- 2- Y-0016-003D panosu



Şekil 3.5.a

Deneyin Yapılışı :

1. Devreyi Şekil 3.5.a' daki gibi kurup, gücü veriniz.
2. Tablo 3.5.a' daki Preset, Clk ve D değerlerini oluşturarak, tabloyu doldurunuz.
NOT : D girişi her zaman Clk girişinden önce sağlanmalıdır.

3. Tablo 3.5.a 'daki sonuçlara göre, devre D tipi F-F olarak çalışmış mıdır?

Devre D Tipi F-F olarak çalışmıştır.

KONTROL		GİRİŞ		ÇIKIŞ		AÇIKLAMA
Preset	Clear	D	Clk	Q	Q'	
0	0	X	X	1	1	KULLANILMAZ
1	0	X	X	0	1	
0	1	X	X	1	0	
1	1	0	1	0	1	
1	1	1	1	1	0	

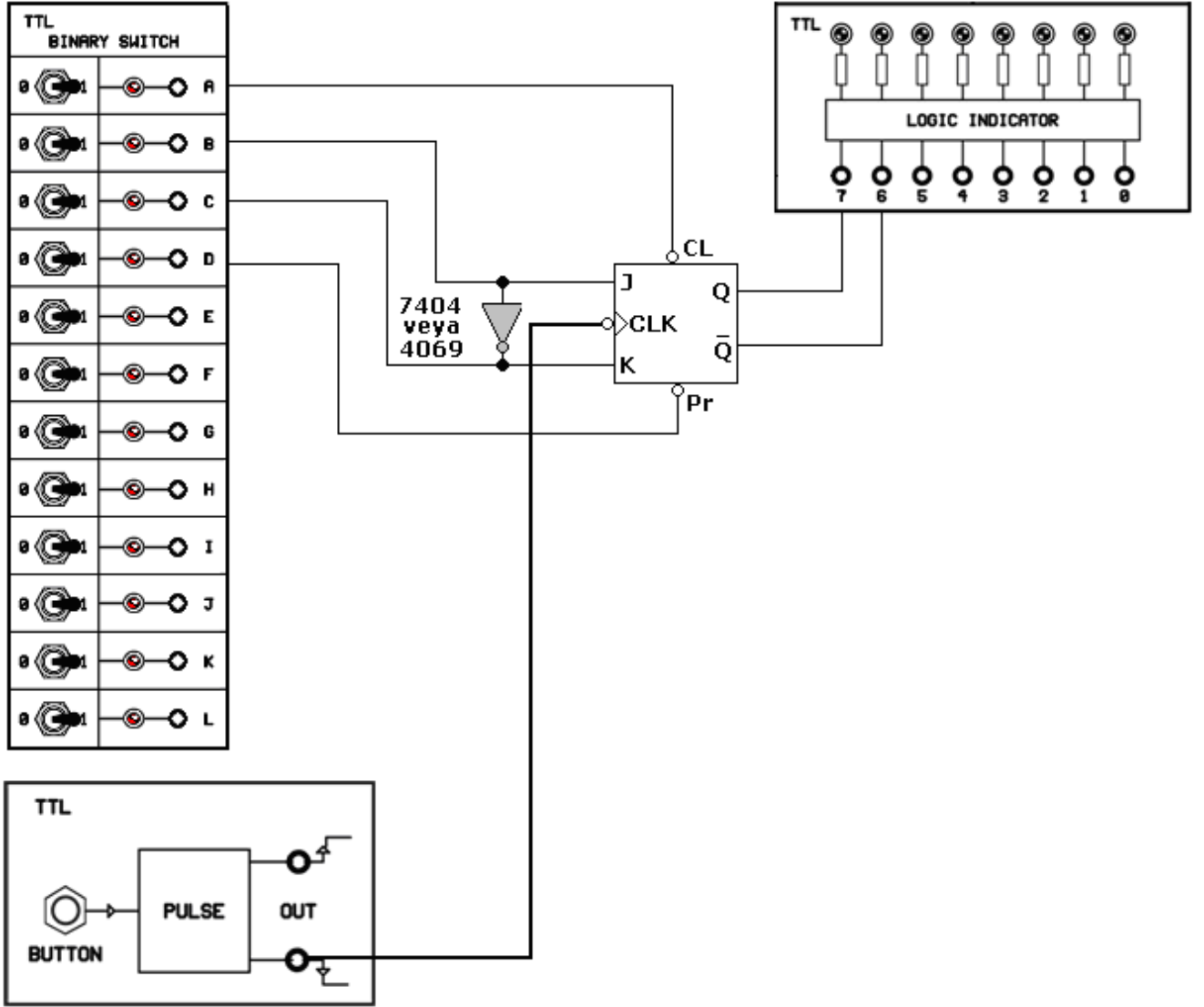
Tablo. 3.5.a

DENEY NO: 3.6

DENEY ADI : J-K TİPİ FLİP-FLOP İLE D TİPİ FF OLUŞTURULMASI

Deneyde Kullanılacak elemanlar:

- 1- Y-0016 ana modül
- 2- Y-0016-003D panosu



Şekil 3.6.a

Deneyin Yapılışı :

1. Devreyi Şekil 3.6.a' daki gibi kurup, gücü uygulayınız.
2. Tablo 3.6.a' daki Preset, Clk ve D değerlerini oluşturarak, Tabloyu doldurunuz.

NOT : D girişi her zaman Ck girişinden önce sağlanmalıdır.

3. Tablo 3.6.a' daki sonuçlara göre, devre D tipi F-F olarak çalışmış mıdır?

Devre D Tipi F-F olarak çalışmıştır.

KONTROL		GİRİŞ		ÇIKIŞ		AÇIKLAMA
Preset	Clear	D	Ck	Q	Q'	
0	0	X	X	1	1	KULLANILMAZ
1	0	X	X	0	1	
0	1	X	X	1	0	
1	1	0	1	0	1	
1	1	1	1	1	0	

Tablo 3.6.a

DENEY ADI : T TİPİ FLİP-FLOP ' UN DOĞRULUK TABLOSUNUN ÇIKARILMASI

DENEY AMAÇLARI :

A- T-FF ' unu tanımak,

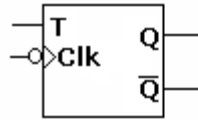
B- Mantık işlevini doğrulamak ve doğruluk tablosunu çıkarmak,

ÖN BİLGİ :

T-FF ' u girişine verilen bir saat palsinin frekansını ikiye böler.

T-FF türünde de yasak durum veya belirsizlik durumu oluşmaz.

T-FF' un sembolü ve doğruluk tablosu aşağıda görülmektedir.



Şekil 3.7

T	Clk	Q
1	$\overline{\text{L}}$	Öncekinin Tersi
0	$\overline{\text{L}}$	Değişmez

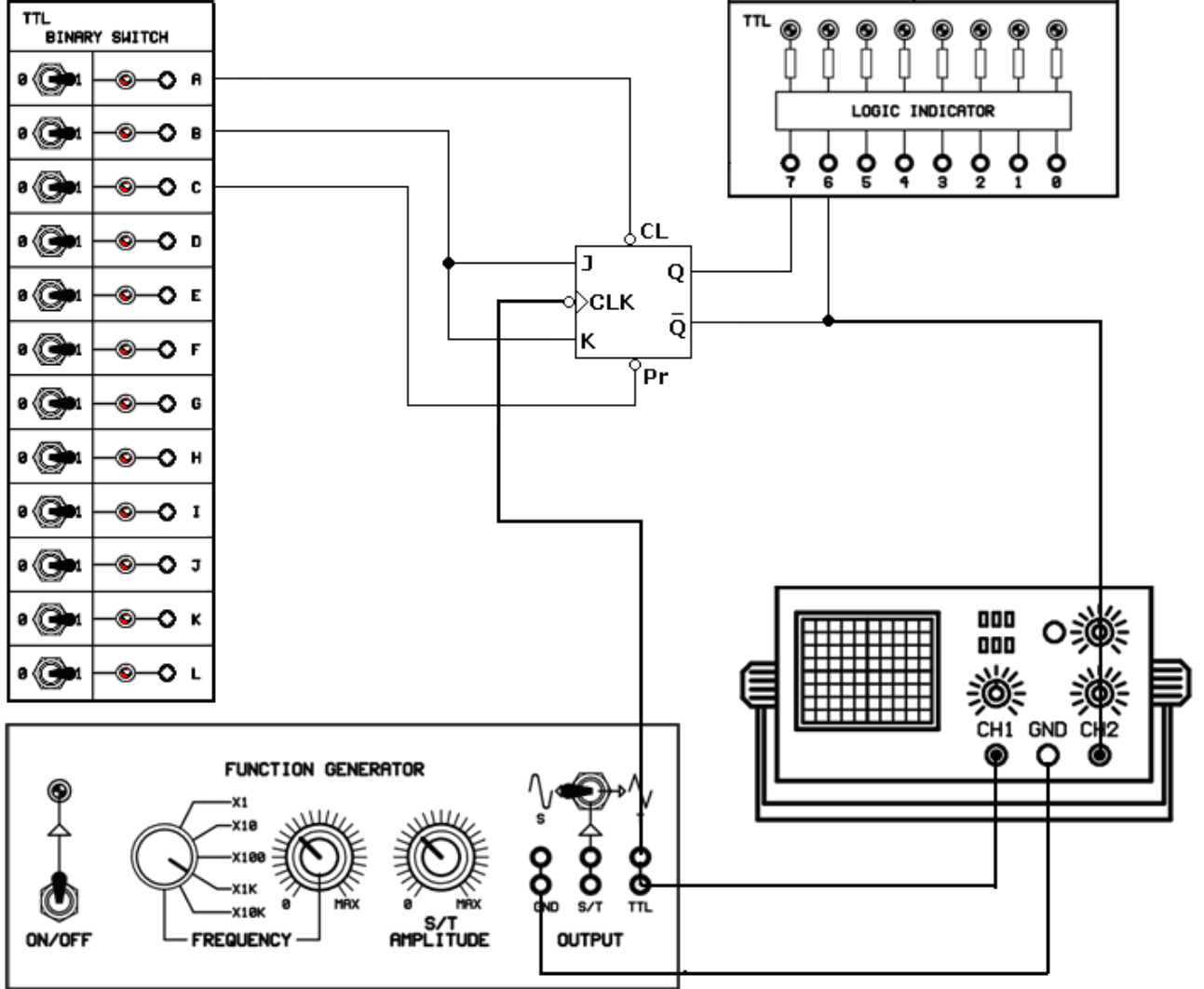
Tablo 3.7

DENEY NO: 3.7

DENEY ADI : T TİPİ FLİP-FLOP ' UN DOĞRULUK TABLOSUNUN
ÇIKARILMASI

Deneyde Kullanılacak elemanlar:

- 1- Y-0016 ana modül
- 2- Y-0016-003D panosu
- 3- Osilaskop (Çift ışınlı)



Şekil 3.7.a

Deneyin Yapılışı :

- 1- Devreyi Şekil 3.7.a ' daki gibi kurun. Gücü uygulayın.

2- A , C anahtarlarını "1" konumuna alarak CLR' ve PRST' uçlarını pasif hale getiriniz.

3- B anahtarını " 1 " konumuna alarak J-K uçlarını (T) "1" yapınız.

4- Frekans ayarını yaklaşık 500 Hz ' e ayarlayınız.

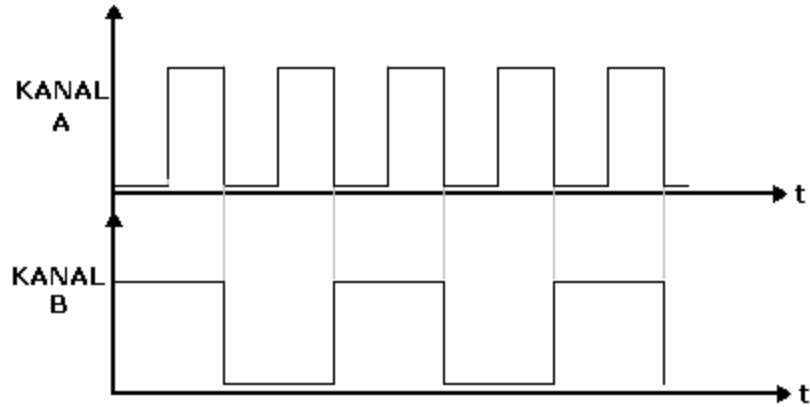
5- Osilaskobun 1. kanalını VAR CLOCK ' un çıkışına, 2. kanalını FF ' nin Q çıkışına bağlayınız.

6- Giriş ve çıkışı osilaskopla gözleyip, şekilleri alt alta çiziniz.

a.) Devrenin çalışması nasıldır?

Devre frekans bölücü olarak çalışmıştır.

b.) Clk girişinin hangi noktalarında çıkış durum değiştirmektedir? Niçin?



Şekil 3.7.b

7476 düşen kenar tetikleme olduğu için, girişin düşme anlarında FF çıkışı durum değiştirir.

7- Deneyin sonuçlarına göre, J-K FF gerektiğinde D-FF, gerektiğinde de T-FF olarak kullanılabilir mi?